

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-354053

(P2002-354053A)

(43)公開日 平成14年12月6日 (2002.12.6)

(51)Int.Cl.
H 04 L 25/02

識別記号

F I
H 04 L 25/02

コード(参考)
F 4 E 3 5 1

H 05 K 1/14
1/16
1/18

H 05 K 1/14
1/16
1/18

V 5 E 3 3 6
C 5 E 3 4 4
C 5 K 0 2 9
J

審査請求 未請求 請求項の数9 O L (全 9 頁)

(21)出願番号 特願2001-152734(P2001-152734)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(22)出願日 平成13年5月22日 (2001.5.22)

(72)発明者 稲川 秀穂

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100077481

弁理士 谷 義一 (外1名)

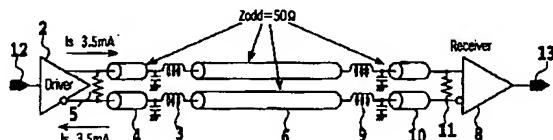
最終頁に続く

(54)【発明の名称】 信号伝送回路の構成方法および信号伝送ケーブル

(57)【要約】

【課題】 LVDS (Low Voltage Differential Signaling) インターフェースを改善する。

【解決手段】 LVDS (Low Voltage Differential Signaling) インターフェース用のICを使用して高速デジタル信号を扱う電子機器に搭載されるプリント配線板間を、ケーブルを用いて信号伝送する際に、出力回路の出力部と入力回路の入力部の差動信号の対を伝送する信号ライン間にインピーダンス部品を結合し、それぞれのインピーダンス部品の信号ライン間インピーダンスを、伝送ケーブルの各ラインの奇モード・インピーダンス (Z_{odd}) の約4倍、すなわち $180 \sim 220 \Omega$ とする。また、伝送ケーブルをフレキシブル・ケーブルとして、ケーブル上に、上述のインピーダンス部品を配置し、放射ノイズを発生する部位を削減する。



【特許請求の範囲】

【請求項1】 高速なデジタル信号を伝送するケーブル、該ケーブルに差動信号を出力する出力回路、該出力回路から出力された差動信号を該ケーブルを介して入力する入力回路を備えた信号伝送回路の構成方法であつて、

前記出力回路および前記入力回路にL V D S (Low Voltage Differential Signaling) 仕様の I C を使用した際に、前記出力回路の出力部と前記入力回路の入力部の前記差動信号の対を伝送する信号ライン間にインピーダンス部品を結合し、前記インピーダンス部品のインピーダンス値を、前記ケーブルの各ラインの奇モード・インピーダンス (Z o d d) の約4倍に設定することを特徴とする信号伝送回路の構成方法。

【請求項2】 前記ケーブルの各ラインの奇モード・インピーダンス値が公称 Z o d d = 50 Ω である場合に、前記インピーダンス部品のインピーダンス値を 180 ~ 220 Ω とすることを特徴とする請求項1に記載の信号伝送回路の構成方法。

【請求項3】 前記インピーダンス部品をチップ抵抗器とし、該チップ抵抗器を、前記 I C が実装されるプリント配線板上の該 I C の極近傍に設けられた部品実装用ランドに半田付け実装することを特徴とする請求項1に記載の信号伝送回路の構成方法。

【請求項4】 前記インピーダンス部品をチップ抵抗とチップ・コンデンサとの複合部品で構成し、該複合部品をプリント配線板上の該 I C の極近傍に設けられた部品実装用ランドに半田付け実装することを特徴とする請求項1に記載の信号伝送回路の構成方法。

【請求項5】 L V D S (Low Voltage Differential Signaling) インターフェース用の出力 I C と入力 I C 間において高速なデジタル信号を伝送する信号伝送ケーブルであつて、

前記ケーブルは、フレキシブル・ケーブルであり、フレキシブル・ケーブルの両端部近傍において、前記出力回路の出力部と前記入力回路の入力部とを接続するラインであつて前記差動信号の対を伝送するラインの間を結合するインピーダンス部品を備えることを特徴とする信号伝送ケーブル。

【請求項6】 前記ケーブルの各ラインの奇モード・インピーダンス値が公称 Z o d d = 50 Ω である場合に、前記インピーダンス部品のインピーダンス値を 180 ~ 220 Ω とすることを特徴とする請求項5に記載の信号伝送ケーブル。

【請求項7】 前記インピーダンス部品はチップ抵抗器であり、該チップ抵抗器を、前記ケーブルの両端部近傍に設けられた部品実装用ランドに半田付け実装することを特徴とする請求項5に記載の信号伝送ケーブル。

【請求項8】 前記インピーダンス部品は、チップ抵抗とチップ・コンデンサとの複合部品であり、該複合部品

を、前記ケーブルの両端部近傍に設けられた部品実装用ランドに半田付け実装することを特徴とする請求項5に記載の信号伝送ケーブル。

【請求項9】 前記インピーダンス部品は、印刷抵抗体を含み、該抵抗体を、前記ケーブルの両端部近傍に設けられた電極部に、印刷・焼成・調整して形成することを特徴とする請求項5に記載の信号伝送ケーブル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、信号伝送回路の構成方法および信号伝送ケーブルに関し、より詳細には、高速デジタル信号を扱う電子機器に搭載されるプリント配線板間を、ケーブルを用いて信号伝送する L V D S (Low Voltage Differential Signaling) インターフェースにおいて、信号動作を保証しつつ、発生する放射ノイズを抑制する信号伝送回路の構成方法および信号伝送ケーブルに関する。

【0002】

【従来の技術】 従来、高速信号のケーブル伝送には一般に、電源電圧で論理振幅するシングルエンド信号が用いられてきたが、近年の高速データ転送の要求に伴う駆動周波数アップ、バス幅の増大に対して、放射ノイズ抑制と外来ノイズに対する耐性の観点から、小振幅差動信号 (L V D S Low Voltage Differential Signaling) でケーブル伝送する方法が用いられる様になってきている。

【0003】 図7は、L V D S インターフェースの構成図であり、送信側 I C 2 3 と受信側 I C 2 4 の間は、奇モード・インピーダンス Z o d d (平易な解釈として

30 は、差動状態における各信号線の基準電位に対する特性インピーダンスと捉えることができる) が 50 Ω の往路伝送線路 2 5 と復路伝送線路 2 6 により結ばれ、伝送線路 2 5、2 6 は受信側 I C 入力端において 100 Ω の抵抗 2 7 で終端されている。送信側 I C 2 3 は、約 3.5 mA の電流を駆動し、100 Ω の終端抵抗 2 7 の両端に約 350 mV の電圧を発生させる仕様を有している。また、受信側 I C は、往路伝送線路 2 5 と復路伝送線路 2 6 は電気的特性が等しく、いわゆる平衡伝送路を形成しており、L V D S ではこの 2 本の伝送線路により 1 つの

40 信号の伝送を行うのが大きな特徴である。送信側 I C 2 3 は入力端子 2 1 からの入力信号に基づいて、往路伝送線路 2 5、復路伝送線路 2 6 の間に電位差を生じるような差動信号を生成する。これに対して、受信側 I C 2 4 は往路伝送線路 2 5、復路伝送線路 2 6 間の受信端に結合された 100 Ω の終端抵抗 2 7 の両端に生じる約 350 mV の差動信号を受けて CMOS レベルに変換し、これを出力端子 2 2 から出力する仕様となっている。

【0004】 L V D S の原理は、送信側 I C 2 3 で発生した信号電流 I s を、往路伝送線路 2 5 と復路伝送線路 50 2 6 の平衡伝送路と、受信側 I C 2 4 近傍に配置された

終端抵抗 27 で形成されるループに流すことによって、終端抵抗 27 の部分に信号電圧を発生させて信号を伝送するものである。信号のON/OFFは、信号電流 I_s の流れる向きを切り替えることにより識別する。往路伝送経路 25 と復路伝送経路 26 を流れる信号電流 I_s は、大きさが同じで、向きが逆であるために、各々に流れる電流によって発生する磁界は互いに打ち消しあい、また、その信号レベルが小さい結果として放射ノイズや、クロストーク・ノイズの発生を抑制する効果が生まれる。また、外来のノイズに対しても、影響の受け方が往路伝送経路 25 と復路伝送経路 26 とで相対的に同じであれば信号の論理に影響しないという点で、ノイズ耐性にも優れている。

【0005】図8はLVDS送信側ICの一般的な回路例である。N1～N2は高電位側の電流スイッチング素子としての1対のNMOSトランジスタ、N3～N4は低電位側の電流スイッチング素子としての1対のNMOSトランジスタである。NMOSトランジスタN1のソースはNMOSトランジスタN3のドレインに直列に接続され、NMOSトランジスタN2のソースはNMOSトランジスタN4のドレインに直列に接続されている。また、NMOSトランジスタN1、N2のドレインは共に電流源CSに接続され、NMOSトランジスタN3、N4のソースは共に負荷素子であるNMOSトランジスタN5に接続されている。

【0006】CSGは制御信号発生回路であり、CMOSロジック回路X1、X2（インバータ）を備え、高電位側の一方のNMOSトランジスタN1と低電位側の一方のNMOSトランジスタN4をそれぞれ駆動する正相制御信号S_pを発生すると共に、高電位側の他方のNMOSトランジスタN2と低電位側の他方のNMOSトランジスタN3をそれぞれ駆動する逆相制御信号S_nを発生する。すなわち、制御信号発生回路CSGは、CMOS入力信号をインバータX1、X2に入力し、インバータX2より正相制御信号S_pを出力してNMOSトランジスタN1、N4のゲート端子に入力し、インバータX1より逆相制御信号S_nを出力して、NMOSトランジスタN2、N3のゲート端子に入力する。

【0007】入力信号がHighであれば、逆相制御信号S_nはLowとなり、正相制御信号S_pはHighとなる。このためNMOSトランジスタN1、N4がONし、NMOSトランジスタN2、N3がOFFし、電流は点線で示すように、NMOSトランジスタN1から伝送線路 25 →終端抵抗 27 →伝送線路 26 を介してNMOSトランジスタN4に向かって流れ、LVDS出力信号はHighとなる。一方、入力信号がLowであれば、逆相制御信号S_nはHighとなり、正相制御信号S_pはLowとなる。このためNMOSトランジスタN2、N3がONし、NMOSトランジスタN1、N4がOFFし、電流は一点鎖線で示すように、NMOSト

ンジスタN2から伝送線路 26 →終端抵抗 27 →伝送線路 25 を介してNMOSトランジスタN3に向かって流れ、LVDS出力信号はLowとなる。なお、直流電位は負荷素子であるNMOSトランジスタN5で発生する電圧によって供給される。

【0008】N1～N4は、入力信号に応じて電流の方向を変えるためのものであり、出力する電流そのものは電流源CSによって決定され、出力電位レベルはN5に影響される。したがって、出力ライン間の出力インピーダンスは高い値を示すことになる。

【0009】

【発明が解決しようとする課題】しかしながら、この様な従来の構成では、正相制御信号S_pと逆相制御信号S_n間にインバータ1個分の位相差が存在するため、LVDS出力がHighのときにONするNMOSトランジスタN1、N4のスイッチングと、LVDS出力がLowのときにONするNMOSトランジスタN2、N3のスイッチングとで時間差が生じることになる。これを補正するために、逆相制御信号S_nにはNMOSトランジスタN2、N3のゲート端子に入力する前にインバータX2の遅延量に相当する何らかの遅延回路を設けたりするが、遅延回路による調整は、信号が成分として含む全ての高次高調波について、完全なものではなく、むしろ遅延回路の特性に影響されて、逆相制御信号S_nは、正相制御信号S_pに対して異なった特性を示したりする。

【0010】また、そもそも高電位側に相当する電流源CSを含めたNMOSトランジスタN1、N2は飽和状態で動作するのに対して、低電位側に相当する負荷素子NMOSトランジスタN5を含めたNMOSトランジスタN3、N4は常に不飽和状態で動作することになる。この飽和/不飽和の状態の違いによってNMOSトランジスタは異なるスイッチング特性を示し、よってLVDS出力信号の立ち上がり(t_r)／立ち下がり(t_f)が非対称になり、結果として、期待していた差動特性のバランスが高周波領域で崩れて、伝送経路にコモン(同相)モード電流が発生し、これが大きな放射ノイズの原因になってしまったり、外来ノイズの影響をアンバランスに受けやすく誤動作の原因になってしまったりする。

【0011】上記LVDS出力信号の立ち上がり(t_r)／立ち下がり(t_f)特性のバランスの崩れを、少なくとも伝送線路となるプリント配線板の配線パターンや信号伝送ケーブル部分で補正する目的で最近ではLVDS用コモンモード・チョークフィルタを搭載してコモンモード電流成分を除去することにより、結果としてバランスの崩れを補正し、放射ノイズを抑制する対策が施されたりする。しかし、コモンモード・チョークフィルタ部品は、非常に高価であり、実装面積も大きく必要であるため、たとえば画像信号のバスラインの様に複数のLVDS信号が並列で存在する場合などは、コストの面から言っても、プリント配線板上の実装面から言っても

非常に不利である。とくにコモンモード・チョークフィルタ部品は一般に手半田等による実装となるため作業性が悪く、対策検討時における作業も非常に煩雑なものとなる。

【0012】また、LVDSの基本回路構成を示した特開平6-104936号公報や、CMOSを利用してIC内部に終端を形成してバランスを確保しようとした特開平7-297678号公報のような試みもあるが、いずれの場合も終端は受信側で伝送線路のインピーダンスと整合終端するということを基本にしており、受信端部のバランス補正にのみ寄与するものである。

【0013】本発明は、このような問題に鑑みてなされたもので、その目的とするところは、LVDS信号の送信端／受信端の双方に、各伝送線ラインの奇モード・インピーダンス(Z_{odd})の略4倍、つまり差動伝送線路として捉えた場合、線路の差動インピーダンス(Z_{diff})の略2倍のインピーダンス値で終端することにより、少なくとも、終端部品間の伝送経路であるプリント配線板上の配線パターン部と伝送ケーブル部において、前記LVDS出力信号の立ち上がり／立ち下がり特性のバランスの崩れを補正する信号伝送回路の構成方法、あるいは安価で、実装面積も小さく、実製作業も簡便な終端方法とした信号伝送ケーブルを提供することにある。

【0014】

【課題を解決するための手段】本発明は、このような目的を達成するために、請求項1に記載の発明は、高速なデジタル信号を伝送するケーブル、該ケーブルに差動信号を出力する出力回路、該出力回路から出力された差動信号を該ケーブルを介して入力する入力回路を備えた信号伝送回路の構成方法であって、前記出力回路および前記入力回路にLVDS(Low Voltage Differential Signaling)仕様のICを使用した際に、前記出力回路の出力部と前記入力回路の入力部の前記差動信号の対を伝送する信号ライン間にインピーダンス部品を結合し、前記それぞれのインピーダンス部品の前記信号ライン間インピーダンスを、前記ケーブルの各ラインの奇モード・インピーダンス(Z_{odd})の約4倍に設定することを特徴とする。

【0015】また、請求項2に記載の発明は、請求項1に記載の信号伝送回路の構成方法であって、前記ケーブルの各ラインの奇モード・インピーダンス値が公称 $Z_{odd} = 50 \Omega$ である場合に、前記インピーダンス部品のインピーダンス値を $180 \sim 220 \Omega$ とすることを特徴とする。

【0016】また、請求項3に記載の発明は、請求項1に記載の信号伝送回路の構成方法であって、前記インピーダンス部品をチップ抵抗器とし、該チップ抵抗器を、前記ICが実装されるプリント配線板上の該ICの極近傍に設けられた部品実装用ランドに半田付け実装するこ

とを特徴とする。

【0017】また、請求項4に記載の発明は、請求項1に記載の信号伝送回路の構成方法であって、前記インピーダンス部品をチップ抵抗とチップ・コンデンサとの複合部品で構成し、該複合部品をプリント配線板上の該ICの極近傍に設けられた部品実装用ランドに半田付け実装することを特徴とする。

【0018】また、請求項5に記載の発明は、LVDS(Low Voltage Differential Signaling)インターフェース用の出力ICと入力ICにおいて高速なデジタル信号を伝送する信号伝送ケーブルであって、前記ケーブルは、フレキシブル・ケーブルであり、フレキシブル・ケーブルの両端部近傍において、前記出力回路の出力部と前記入力回路の入力部とを接続するラインであって前記差動信号の対を伝送するラインの間を結合するインピーダンス部品を備えることを特徴とする。

【0019】また、請求項6に記載の発明は、請求項5に記載の信号伝送ケーブルであって、前記ケーブルの各ラインの奇モード・インピーダンス値が公称 $Z_{odd} = 50 \Omega$ である場合に、前記インピーダンス部品のインピーダンス値を $180 \sim 220 \Omega$ とすることを特徴とする。

【0020】また、請求項7に記載の発明は、請求項5に記載の信号伝送ケーブルであって、前記インピーダンス部品はチップ抵抗器であり、該チップ抵抗器を、前記ケーブルの両端部近傍に設けられた部品実装用ランドに半田付け実装することを特徴とする。

【0021】また、請求項8に記載の発明は、請求項5に記載の信号伝送ケーブルであって、前記インピーダンス部品は、チップ抵抗とチップ・コンデンサとの複合部品であり、該複合部品を、前記ケーブルの両端部近傍に設けられた部品実装用ランドに半田付け実装することを特徴とする。

【0022】また、請求項9に記載の発明は、請求項5に記載の信号伝送ケーブルであって、前記インピーダンス部品は、印刷抵抗体を含み、該抵抗体を、前記ケーブルの両端部近傍に設けられた電極部に、印刷・焼成・調整して形成することを特徴とする。

【0023】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。この説明においては、プリンタや複写機など高速なデジタル信号を処理する機器において、たとえば、コントローラ基板とLD搭載基板の間、あるいはコントローラ基板とCCD搭載基板の間などにおいて、クロックや画像データの送受信にLVDSインターフェースを用いた信号伝送回路として説明する。

【0024】(第1の実施形態) 図1は、本発明の第1の実施形態を示し、送信側基板、受信側基板、そしてその間を接続する伝送ケーブルを含む斜視図である。

【0025】送信側IC2が搭載されるプリント配線板1は、上述したコントローラ基板に相当する基板である。このプリント配線板1には送信側IC2と送信側ケーブル接続コネクタ3が実装されており、送信側IC2からコネクタ3までの間に、LVDS伝送のための各一对の配線パターン4が設けられている。送信側IC2近傍の各対のそれぞれ配線パターン4上には、一对の配線パターン間にチップ部品を1個実装できるように半田付けランドが設けられており、この半田付けランドには、配線パターン4および伝送ケーブル6の奇モード・インピーダンス(Zodd)に対して略4倍のインピーダンス値を有するチップ抵抗5が半田付け実装されている。前記ケーブル接続コネクタ3には信号伝送ケーブル6が接続されており、信号伝送ケーブル6の奇モード・インピーダンス(Zodd)が、プリント配線板上のLVDS伝送用の配線パターン4、10の奇モード・インピーダンス(Zodd)と略同一の値になるように設計されている。この奇モード・インピーダンス(Zodd)は、LVDS伝送における規定から、基準電位に対して略50Ωの特性値である。

【0026】さらに、信号伝送ケーブル6の他端は、LD基板またはCCD基板に相当する受信側ICが搭載されるプリント配線板7に接続されている。受信側プリント配線板7には、受信側IC8と受信側ケーブル接続コネクタ9が実装されており、受信側IC8からコネクタ9までの間に、LVDS伝送のための各一对の配線パターン10が設けられている。

【0027】配線パターン10上の受信側IC8近傍の各対のそれぞれの配線パターン10上には半田付けランドが設けられており、一对の配線パターンの半田付けランド間チップ部品を1個実装できるように構成されている。そしてそのランド間には、一对の配線パターン間を終端するように、配線パターン10および伝送ケーブル6の奇モード・インピーダンス(Zodd)に対して略4倍の値を有するチップ抵抗11が半田付け実装されている。

【0028】図2は、上記本発明の第一の実施例を回路図で示したものであり、CMOS入力端子12に入力された信号から送信側IC2でLVDS信号を生成し、伝送特性が奇モード・インピーダンス(Zodd)=50Ωのプリント配線板上の配線パターン4、10および信号伝送ケーブル6を伝送し、受信側IC8に入力されたLVDS信号はCMOS出力信号に再度変換されて、CMOS出力端子13に出力される。ここで、伝送線路に相当する4、3、6、9、10(コネクタに関してはLCの集中定数的な特性を示すものとして図示している)部分に流れる電流Is=3.5mAであり、これに対する終端として送信側IC2の近傍に終端抵抗5=200Ωと、受信側IC8の近傍に終端抵抗11=200Ωが対の線路に並列に設けられている。言いかえれば、対の

伝送路の両端それが200Ωのインピーダンス値で結合されている。これにより、実質的には、往路伝送線路と復路伝送線路間は100Ωのインピーダンス部品が結合されていることになり、結果として、送信側IC2の負荷条件は、図7および図8に示した場合と変わらず、受信側IC8の入力端子間には略350mVの電圧振幅を生じさせることになる。この際少なくとも対の線路間の終端を構成している送信側IC2近傍に設けた終端抵抗5と受信側IC8近傍に設けた終端抵抗11に挟まれた区間は、終端部品を介して閉じた状態になっており、したがって対の線路それぞれを流れる信号が非常にバランスの取れた状態になる。よって、放射ノイズを放射するアンテナになったり、アンテナとして外来ノイズに影響され易いプリント配線板上の配線パターン4、10やコネクタ3、9や信号伝送ケーブル6の部分において、バランスの崩れていないLVDS伝送が行われることになり、結果として放射ノイズの抑制、外来ノイズに対する耐性向上を実現したものである。

【0029】(第2の実施形態)図3は本発明の第2の実施形態を示すものである。コントローラ基板に相当する送信側IC2が搭載されるプリント配線板1には、送信側IC2と送信側ケーブル接続コネクタ3が実装されており、送信側IC2からコネクタ3までの間に、LVDS伝送のための各一对の配線パターン4が設けられている。配線パターン4上の送信側IC2近傍には、一对のそれぞれの線路間に直列した2つのチップ部品、この直列チップ部品の中点とGND間に1個のチップ部品、計3個のチップ部品を実装できる半田付けランドが設けられている。ここで直列した2つのチップ部品それぞれは、配線パターン4および伝送ケーブル6の奇モード・インピーダンス(Zodd)の略2倍のインピーダンス値を有するものが半田付け実装されている。また、このチップ部品の中点とGND間を結合するチップ部品はチップ・コンデンサであり、やはり半田付け実装されている。

【0030】なお、この場合、部品点数が増加して終端部品群15は大きな実装面積を必要とするため、配線パターン4の途中にVIAホール14を設け、送信側IC2の実装面とは反対の面に終端部品群15を実装する形態を取っている。

【0031】ケーブル接続コネクタ3には信号伝送ケーブル6が接続されており、信号伝送ケーブル6の奇モード・インピーダンス(Zodd)が、プリント配線板上のLVDS伝送用の配線パターン4、10と略同一の値になるように設計されている。この奇モード・インピーダンス(Zodd)は、LVDS伝送における規定から、基準電位に対して略50Ωの特性値である。

【0032】さらに、信号伝送ケーブル6は、LD基板またはCCD基板に相当する受信側ICが搭載されるプリント配線板7に接続されている。受信側プリント配線

板7には、受信側IC8と受信側ケーブル接続コネクタ9が実装されており、受信側IC8からコネクタ9までの間に、LVDS伝送のための各一对の配線パターン10が設けられている。配線パターン10上の送信側IC8近傍には、チップ部品を一对の線路間に直列した2つのチップ部品、この直列チップ部品の中点とGND間に1個のチップ部品、計3個のチップ部品を実装できる半田付けランドが設けられている。ここで直列した2つのチップ部品それぞれは、配線パターン10および伝送ケーブル6の奇モード・インピーダンス(Zodd)の略2倍のインピーダンス値を有するものが半田付け実装されている。また、このチップ部品の中点とGND間を結合するチップ部品はチップ・コンデンサであり、半田付け実装されている。こちらも送信側と同様に、配線パターン10の途中にVIAホール16を設け、受信側IC8の実装面とは反対の面に終端部品群17を実装する形態を取っている。

【0033】図4は、上記本発明の第2の実施形態を回路図で示したものであり、CMOS入力端子12に入力された信号から送信側IC2でLVDS信号を生成し、伝送特性が奇モード・インピーダンス(Zodd) ≈ 50Ωのプリント配線板上の配線パターン4、10および信号伝送ケーブル6を伝送し、受信側IC8に入力されたLVDS信号はCMOS出力信号に再度変換されて、CMOS出力端子13に出力される。ここで、伝送線路に相当する4、3、6、9、10(コネクタに関するLCの集中定数的な特性を示すものとして図示している)部分に流れる電流Is ≈ 3.5mAであり、これに対する終端として送信側IC2の近傍に2つから構成される直列抵抗(100Ωの抵抗2個)とコンデンサ0.1μFで構成された終端部品群15と、受信側IC8の近傍に、同様に2つから構成される直列抵抗(100Ωの抵抗2個)とコンデンサ0.1μFで構成された終端部品群17が、対の線路に並列に設けられている。言いかえれば、対の伝送路の両端それが200Ωのインピーダンス値で結合されている。これにより、実質的には、往路伝送線路と復路伝送線路間は100Ωのインピーダンス部品が結合されることになり、結果として、送信側IC2の負荷条件は、図7および図8、あるいは図1および図2に示した場合と変わらず、受信側IC8の入力端子間には略350mVの電圧振幅を生じさせることになる。この際少なくとも対の線路間の終端を構成している送信側IC2近傍に設けた終端抵抗5と受信側IC8近傍に設けた終端抵抗11に挟まれた区間は、終端部品を介して閉じた状態になっており、したがって対の線路それぞれを流れる信号が非常にバランスの取れた状態になる。よって、放射ノイズ抑制と外来ノイズ耐性向上につながるのは第1の実施形態における場合と同様である。

【0034】(第3の実施形態)図5は本発明による第

3の実施形態を示すものであり、前述した第2の実施形態と同じ回路構成であるが、この回路構成が送信側IC2および受信側IC8の近傍で、終端部品群15、17の実装によりGNDパターンをはじめとする配線面積を著しく阻害してしまう事回避するために、信号伝送ケーブルとして、部品実装可能なフレキシブル・ケーブルを用い、終端部品群15、17をフレキシブル・ケーブル上に実装する形態にしたものである。この際、図で示したように、送信側IC2および受信側IC8と、終端部品群15、17は極力近づける必要があることから、送信側IC2は送信側コネクタ3の極近傍に、受信側IC8は受信側コネクタ9の極近傍に、実装しなければならないという制約が発生する。あるいは、送信側IC2は送信側コネクタ3の極近傍に、受信側IC8は受信側コネクタ9の極近傍に実装することができる利点が生じる。

【0035】図6は、前記終端部品群を実装した信号伝送フレキシブル・ケーブルの、端部付近を拡大したものである。ケーブル端子18の極近傍に、チップ抵抗15aとチップ・コンデンサ15bからなる終端部品群が形成されている。またこの例では、両面フレキシブルを用いており、裏面はペタGNDまたはメッシュGNDになっており、表面のGNDパターンやGNDVIA20は互いに良好に接続されている。また、フレキシブル・ケーブル上の信号配線パターン19のうち、LVDS伝送線路に関しては、一对の両側にガードGNDを設けて配線することにより、差動信号のバランスを崩れにくくする工夫も施されている。

【0036】なお、図3のIC2の近傍においても、図36に示したチップ抵抗15aとチップ・コンデンサ15bからなる終端部品群と同様に図示した基板背面に終端部品群が形成されている。

【0037】以上の様に、高速デジタル信号を基板間ケーブル伝送する形態において、LVDS伝送を用いる場合、送信側/受信側双方のIC近傍に、伝送線路の奇モード・インピーダンス(Zodd)の略4倍の値、言いかえれば、上述のICが想定している受信端のみに設けられる終端抵抗値の100Ωの2倍の値、を有する終端部品を実装することにより、終端部品間のアンテナになり易いケーブルを含めた伝送線路部分は、非常にバランスの取れたLVDS伝送が可能となり、よってケーブルを含めた伝送線路部分がアンテナとなって放射する放射ノイズを抑制することができると同時に、外来ノイズに対する耐性も向上することが期待できる。

【0038】

【発明の効果】以上説明したように本発明によれば、LVDS(Low Voltage Differential Signaling)インターフェース用のICを使用して、高速デジタル信号を扱う電子機器に搭載されるプリント配線板間をケーブルを用いて信号伝送する際に、出力回路の出力部と入力回路

の入力部の差動信号の対を伝送する信号ライン間にインピーダンス部品を結合し、それぞれのインピーダンス部品の信号ライン間インピーダンスを、伝送ケーブルの各ラインの奇モード・インピーダンス (Zodd) の約4倍に設定する、すなわち $180 \sim 220\Omega$ とすることで、LVDS (Low Voltage Differential Signaling) 仕様のICを使用しながらも、対の線路それぞれを流れる信号が非常にバランスの取れた状態にすことができ、結果として放射ノイズの抑制、外来ノイズに対する耐性向上を実現することができる。

【0039】また、伝送ケーブルをフレキシブル・ケーブルとして、ケーブルの両端部の対の信号ライン間に、それを結合するインピーダンス部品を備えて、このインピーダンス部品のインピーダンスを、伝送ケーブルの各ラインの奇モード・インピーダンス (Zodd) の約4倍に設定する、すなわち $180 \sim 220\Omega$ としたので、同様な効果を生じさせると同時に、インターフェースICとケーブル・コネクタとを密接して配置することができ、放射ノイズを発生する部位を削減することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例を示すものであり、画像信号を高速に処理するユニットにおける基板間ケーブル伝送および送信側／受信側双方のIC近傍への終端部品実装状態を示す図である。終端部品には抵抗部品を用いている。

【図2】上記本発明の第1の実施例を回路図によって示す図である。

【図3】本発明の第2の実施例を示すものであり、画像信号を高速に処理するユニットにおける基板間ケーブル伝送および送信側／受信側双方のIC近傍への終端部品実装状態を示す図である。終端部品には抵抗とコンデンサを併用している。

【図4】上記本発明の第2の実施例を回路図によって示す図である。

【図5】本発明の第3の実施例を示すものであり、画像信号を高速に処理するユニットにおける基板間ケーブル伝送において、終端部品を信号伝送ケーブル上に実装した形態を示す図である。終端部品には抵抗とコンデンサを併用している。

【図6】上記本発明の第3の実施例における、伝送ケーブル両端の終端部品実装部近傍を拡大して示す図である。

【図7】従来例を示す図であり、小振幅差動信号 (LVDS) の、一般的な伝送形態を回路図によって示す図で

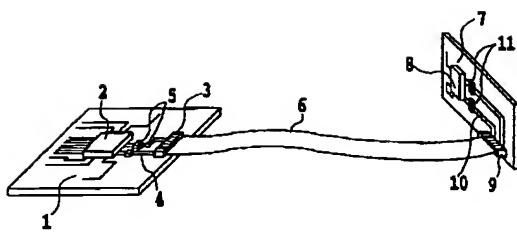
ある。

【図8】上記従来例におけるドライバ回路と、信号電流の流れの様子を模式図によって示す図である。

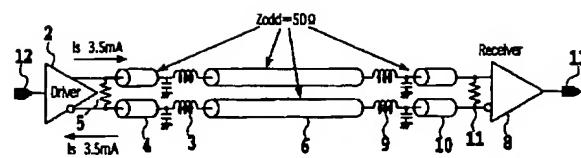
【符号の説明】

- 1 送信側ICが搭載されたプリント配線板
- 2 送信側IC
- 3 送信側ICが搭載されたプリント配線板上のケーブル接続コネクタ
- 4 送信側ICが搭載されたプリント配線板上の配線
- 10 パターン
- 5 送信側IC近傍に実装された終端部品（チップ抵抗）
- 6 信号伝送ケーブル
- 7 受信側ICが搭載されたプリント配線板
- 8 受信側IC
- 9 受信側ICが搭載されたプリント配線板上のケーブル接続コネクタ
- 10 受信側ICが搭載されたプリント配線板上の配線パターン
- 20 11 受信側IC近傍に実装された終端部品（チップ抵抗）
- 12 CMOS入力端子
- 13 CMOS出力端子
- 14 送信側ICが搭載されたプリント配線板上のVIAホール
- 15 送信側IC近傍に実装された終端部品群（チップ抵抗&チップ・コンデンサ）
- 15a 終端部品群を構成するチップ抵抗
- 15b 終端部品群を構成するチップ・コンデンサ
- 30 16 受信側ICが搭載されたプリント配線板上のVIAホール
- 17 受信側IC近傍に実装された終端部品群（チップ抵抗&チップ・コンデンサ）
- 18 フレキシブル・ケーブルの電極端子
- 19 フレキシブル・ケーブル上の信号配線パターン
- 20 フレキシブル・ケーブル上のGNDパターンとGND VIA
- 40 21 CMOS入力端子
- 22 CMOS出力端子
- 23 送信側IC
- 24 受信側IC
- 25 往路伝送線路
- 26 復路伝送線路
- 27 終端抵抗

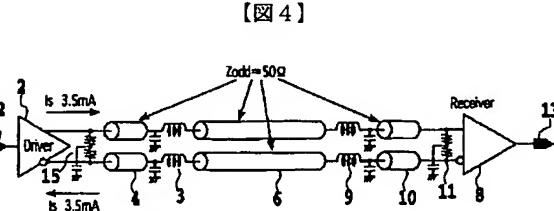
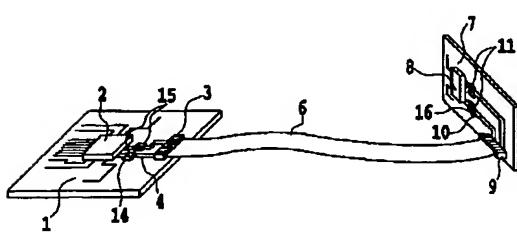
【図1】



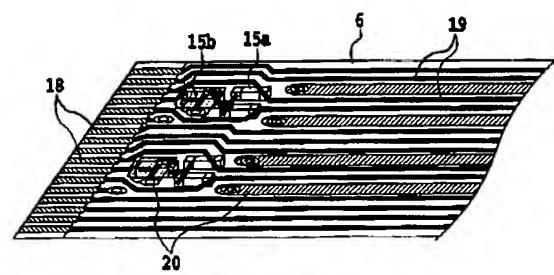
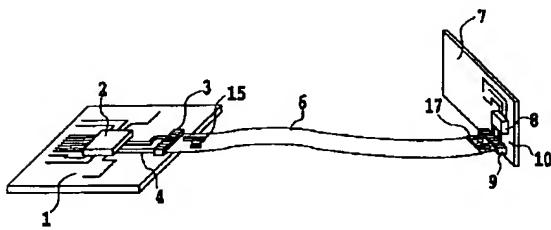
【図2】



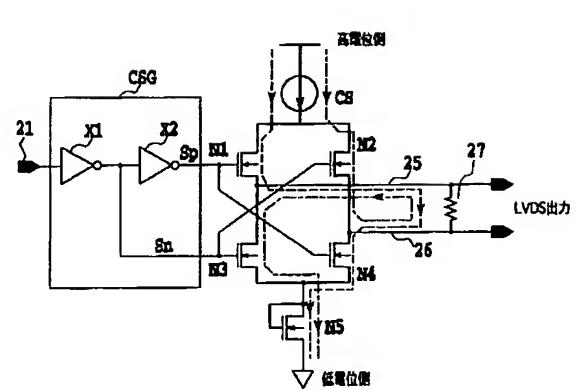
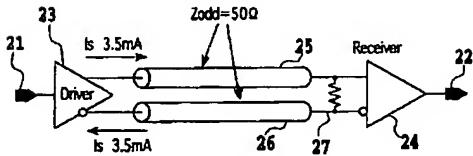
【図3】



【図5】



【図7】



フロントページの続き

Fターム(参考) 4E351 AA16 BB05 CC11 GG07
5E336 AA04 BB12 CC31 CC52 CC53
CC58 EE01 GG11
5E344 BB03 BB04 BB14 DD08 EE08
5K029 AA18 CC01 DD02 GG07 HH01
JJ08 LL00